

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

⑪ 公開特許公報 (A)

昭64-24453

⑫ Int.Cl.

H 01 L 27/04
27/10

識別記号

325

庁内整理番号

C-7514-5F
D-8624-5F

⑬ 公開 昭和64年(1989)1月26日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-180546

⑯ 出 願 昭62(1987)7月20日

⑰ 発明者 後藤 寛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 発明者 中村 守孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 発明者 鈴木 孝章 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 発明者 松谷 敏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 井桁 貞一

最終頁に続く

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

トレンチキャバシタを有する半導体装置を製造する方法において、半導体基板にトレンチキャバシタの形成領域を包囲するトレンチ構造絶縁領域を形成する工程、該絶縁領域をマスクとした等方性エッチングにより該キャバシタの溝を形成する工程、該溝の内面に該キャバシタの一方の電極となる導電膜を形成する工程、を含んでトレンチキャバシタを形成するよう構成する。

半導体基板にトレンチキャバシタの形成領域を包囲するトレンチ絶縁領域を形成する工程、該絶縁領域をマスクとした等方性エッティングにより該キャバシタの溝を形成する工程、該溝の内面に該キャバシタの一方の電極となる導電膜を形成する工程、を含んでトレンチキャバシタを形成するよう構成する。

(産業上の利用分野)

本発明は、半導体装置の製造方法に係り、特に、トレンチキャバシタ(溝掘りキャバシタ)を有する半導体装置例えばDRAM(ダイナミック・ランダム・アクセス・メモリ)におけるトレンチキャバシタの形成方法に関する。

3. 発明の詳細な説明

(概要)

トレンチキャバシタを有する半導体装置例えばDRAMの製造方法に関し、
トレンチキャバシタの特性安定化を目的とし、

(従来の技術)

近年、DRAMを高集積化するため、占有面積が小さい蓄積キャバシタとしてトレンチキャバシタを用いることが行われている。

第5図はDRAMのトレンチキャバシタ部分の

従来例を説明する平面図と側断面図である。

図において、1はシリコン半導体基板、1aはトレンチキャバシタ（蓄積キャバシタ）形成領域、2は素子間分離用絶縁領域、3はトレンチキャバシタの沿掘り用マスクの開口、4はマスク位置合わせ余裕、5はトレンチキャバシタの溝、である。

このトレンチキャバシタは、溝5がトレンチエッティングにより形成されてその内面が一方の電極となり、その上に誘電体となる絶縁膜および他方の電極を順に形成して完成させるものである。そして、基板1上の占有面積が容量の割には小さくなるので、DRAMの集積度を高めるのに寄与している。

しかしながら、その占有面積が小さいというものの、絶縁領域2形成用マスクと沿掘り用マスクとの間に位置合わせ余裕4を必要としており、現在のDRAMに要求されている集積度からすると、その位置合わせ余裕4を十分にとることが困難な状況になりつつある。

この状況に対処する方策として、本出願人は、

絶縁領域2をマスクとしたセルフアライメント方式で溝を形成する改良方法を提案した（特開昭61-302864号）。

即ち、この改良従来例を説明する第6図の平面図と側断面図において、絶縁領域2のキャバシタ形成領域1aに接する部分をトレンチ構造にし、且つ絶縁領域2がキャバシタ形成領域1aを面積しない部分を面積するためのマスク6を設けて、絶縁領域2およびマスク6をマスクにしたトレンチエッティングにより溝7を形成し、この溝7の内面にキャバシタの一方の電極となる多結晶シリコンの導電膜8を形成して溝7aとなし、この溝7aを先の溝5に相当させたものである。かくして、先の位置合わせ余裕4をとることなしにトレンチキャバシタの形成が可能になる。

〔発明が解決しようとする問題点〕

ところで、上述した溝5または7の形成は、何れもトレンチエッティングによっている。そしてこのトレンチエッティングは、開口に比して深さを極

めて大きくする必要性から、RIE（反応性イオンエッティング）を用い異方性を極度に強めて行う。

このため、第7図の側断面図に示す如く、形成された溝5、7は、底の周縁が9のように角張り、場合によっては所謂ブラックシリコンとなって底面に針状の突起10が生ずる。そしてこの角張り9や突起10は、形成されたトレンチキャバシタの中に局部的な電界集中を起こさせる誘因となり、キャバシタの特性を不安定にさせる問題となる。

また、上記のトレンチエッティングは、その条件からして基板1と絶縁領域2との間のエッティングレート比を大きくすることが困難であるため、溝7の形成の際には、絶縁領域2の上面部も無視出来ない程に除去される問題がある。

〔問題点を解決するための手段〕

上記問題点は、半導体基板にトレンチキャバシタの形成領域を囲むトレンチ構造絶縁領域を形成する工程、該絶縁領域をマスクとした等方性エッティングにより該キャバシタの溝を形成する工

程、該溝の内面に該キャバシタの一方の電極となる導電膜を形成する工程、を含んでトレンチキャバシタを形成する本発明の製造方法によって解決される。

〔作用〕

この製造方法では、トレンチキャバシタの溝を形成するエッティングに等方性エッティングを用いている。

一般に等方性エッティングは、従来例で用いたトレンチエッティングと異なって、第7図で述べた角張り8および突起9の発生がなく、然も、基板と絶縁領域との間のエッティングレート比を十分に大きくすることが容易である利点があるが、エッティング領域の面積に基板上のマスクを用いた場合には、サイドエッティングによりエッティング領域が横に拡がって、形成された溝がトレンチキャバシタに不適な形状となる難点がある。

しかしながら本製造方法により溝を形成する等方性エッティングでは、マスクとする絶縁領域がト

レンチ構造をなしてサイドエッティングを阻止するので、形成された溝は、エッティング領域が絶縁領域の内側面に倣ってトレンチキャバシタの形成に好適な形状となり、然も、上記角張り8および突起9のないものとなって、トレンチキャバシタ内における局部的電界集中の発生を緩和しキャバシタの特性を安定化させる。更に、先の溝7を形成する際に問題になった絶縁領域の上面部の除去も無視出来る程に低減する。

従って本製造方法を例えればDRAMの蓄積キャバシタに適用すれば、その集積度を高めながらキャバシタの特性を安定化させることが出来る。

(実施例)

以下本発明の実施例について第1図～第4図の平面図(a)と側断面図(b)を用いて説明する。全図を通じ同一符号は同一対象物を示す。

先ず(第1図参照)、通常の技術を適用して、シリコン半導体基板1に二酸化シリコンの素子間分離用絶縁領域2aを形成する。絶縁領域2aは、ト

レンチキャバシタ(蓄積キャバシタ)形成領域1aとトランジスタ形成領域1bとの間も仕切るようにして、キャバシタ形成領域1aを包囲する部分を深さが例えば5μm程度のトレンチ構造にする。

次いで(第2図参照)、絶縁領域2aの領域内にマスク位置合わせ余裕をとってキャバシタ形成領域1a部を表出させたレジストのマスク6aを形成した後、通常の等方性エッティング例えばプラズマエッティングにより、キャバシタ形成領域1aに深さ例えば4～5μmの溝11を形成する。

この溝11は、絶縁領域2aがエッティング領域を遮断するマスクとなって形成され、側面が絶縁領域2aの内側面を表出させ、底面が丸みを帯びて、内面に第7図で述べた角張り9および突起10のないものとなる。またこのエッティングでは、基板1のシリコンと絶縁領域2aの二酸化シリコンとの間のエッティングレート比が十分に大きいので、絶縁領域2a上面部は、殆ど除去されない。

次いで(第3図参照)、マスク6aを除去し、溝11の底面に二酸化シリコンの絶縁膜12を形成した

後、CVD(化学気相成長)により厚さ0.2～0.4μm程度の多結晶シリコン膜を全面に堆積し、これに基板1と反対導電型の不純物を拡散し、更に、溝11の内面を覆い且トランジスタ形成領域1bの端部に延在するようにバターン化して多結晶シリコンの導電膜13を形成する。

導電膜13の内側は、先の従来例で述べた溝5または7aに相当する溝11aとなり、導電膜13は、そこに形成されるトレンチキャバシタの一方の電極となる。そして溝11aの内面は、溝11の内面に倣うので、第7図で述べた角張り9および突起10のないものとなる。従って形成されたトレンチキャバシタは、局部的な電界集中の発生が緩和されて、特性の安定したものとなる。

次いで(第4図参照)、この後は、通常の技術を適用して半導体装置ここではDRAMを完成させるが、その概要は次の通りである。

(a) 热酸化またはCVDによりトレンチキャバシタの誘電体となる二酸化シリコンの絶縁膜14を形成する。

(b) CVDにより、セルブレートとなる多結晶シリコン層を形成し、これに不純物を拡散し、更に、バターン化してトレンチキャバシタの他方の電極となるセルブレート15を形成する。その際、セルブレート15の下地となっている絶縁膜14も一緒にバターン化する。

(c) セルブレート15を覆う層間絶縁膜16を形成した後、多結晶シリコンなどのワード線(ゲート電極)WLとゲート絶縁膜17を形成し、ワード線WLをマスクとした不純物導入によりソース/ドレイン領域となる不純物拡散領域18を形成する。この拡散領域18は、この工程または後程の工程の熱処理により、導電膜13と接続される。

(d) 全面を覆う層間絶縁膜19、およびこれに設けるコンタクト窓20を形成し、その上にアルミニウムなどのビット線BLを形成する。

かく製造された半導体装置(DRAM)は、蓄積キャバシタとなるトレンチキャバシタが先に述べた如く局部的電界集中の発生を緩和したものとなり、特性が安定したものとなる。

(発明の効果)

以上説明したように本発明の構成によれば、トレンチキャバシタを有する半導体装置製造において、トレンチキャバシタ内における局部的電界集中の発生を緩和させて該キャバシタの特性を安定化させることが出来、例えばDRAMの特性安定化を可能にさせる効果がある。

4. 図面の簡単な説明

第1図～第4図は実施例を説明する平面図(a)と側断面図(b)、

第5図は従来例を説明する平面図(a)と側断面図(b)、

第6図は改良従来例を説明する平面図(a)と側断面図(b)、

第7図はトレンチエッティングによる問題点を説明する側断面図(b)(b)、

である。

図において、

1は半導体基板、

1aはトレンチキャバシタ形成領域、

2、2aは絶縁領域、

5、7、7a、11、11aは溝、

8、13は導電膜(一方の電極)、

9は角張り、

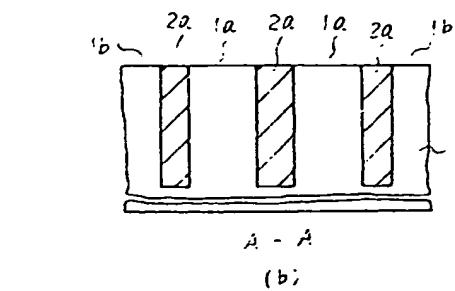
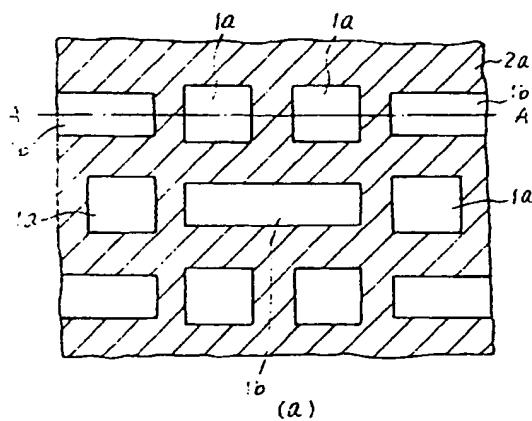
10は突起、

14は誘電体となる絶縁膜、

15はセルプレート(他方の電極)、

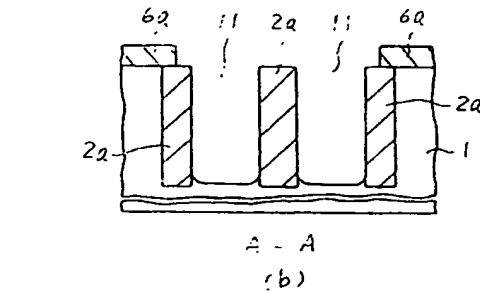
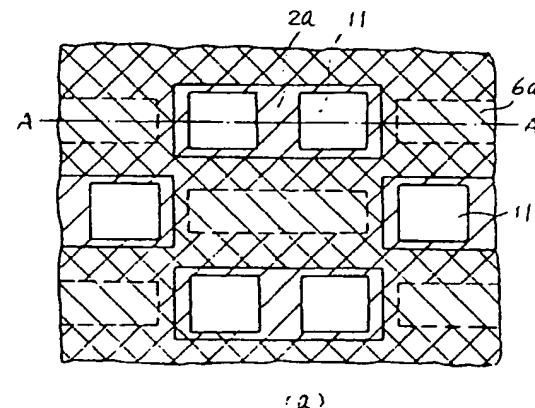
である。

代理人弁理士 井桁貞一



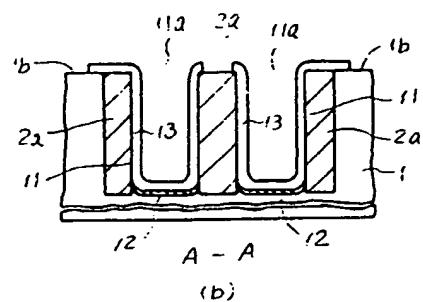
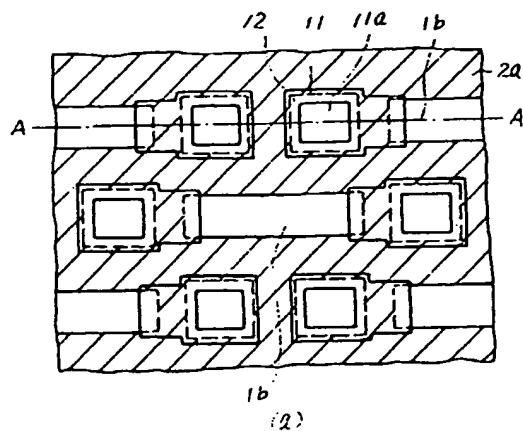
実施例を説明する平面図(a)と側断面図(b)

第 1 図



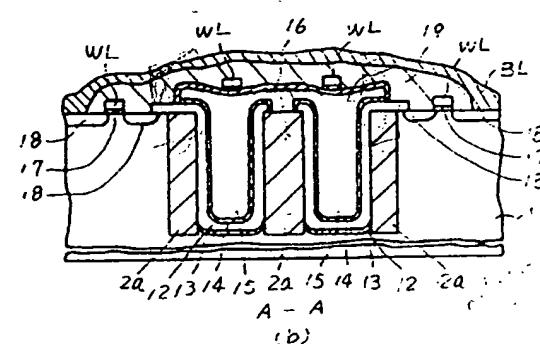
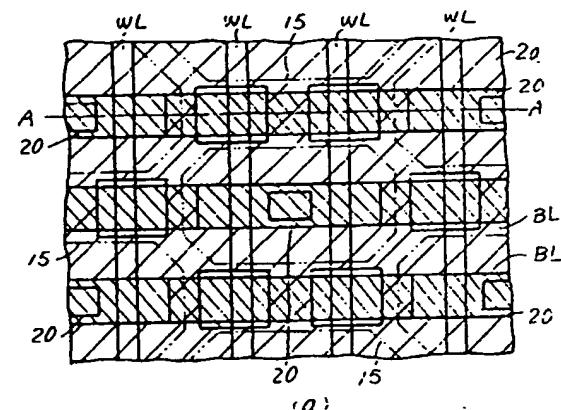
実施例を説明する平面図(a)と側断面図(b)

第 2 図



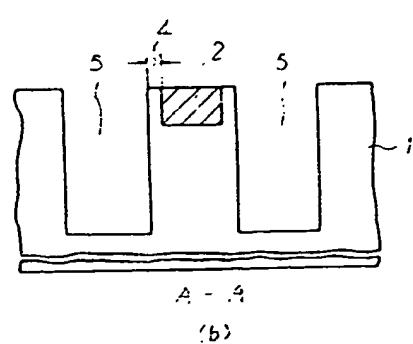
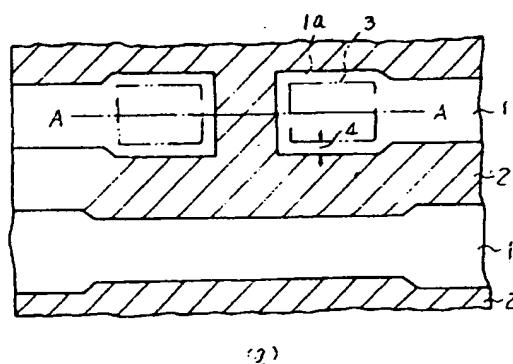
実施例を説明する平面図(a)と側断面図(b)

第3図



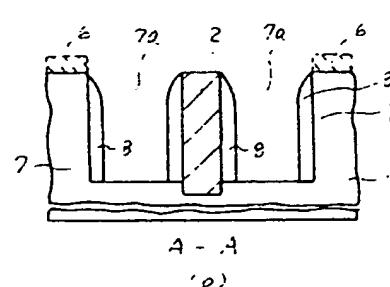
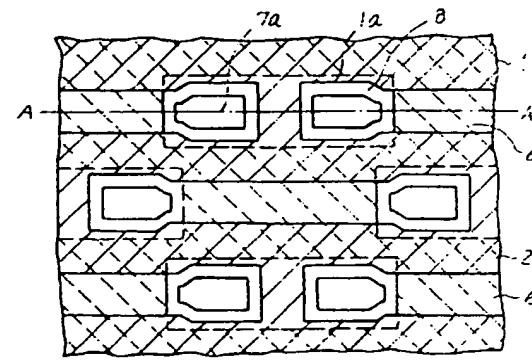
実施例を説明する平面図(a)と側断面図(b)

第4図



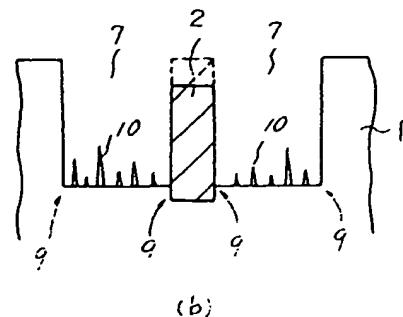
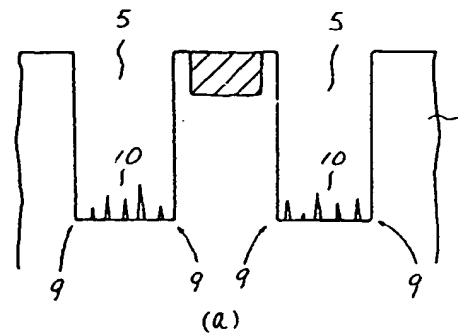
従来例を説明する正面図(a)と側断面図(b)

第5図



改良従来例を説明する正面図(a)と側断面図(b)

第6図



トレンチエッティングによる問題点を
説明する側面図(a)(b)

第 7 図

第1頁の続き

発明者 高瀬 利貴雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

CLIPPEDIMAGE= JP401024453A
PAT-NO: JP401024453A
DOCUMENT-IDENTIFIER: JP 01024453 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: January 26, 1989

INVENTOR-INFORMATION:

NAME
GOTO, HIROSHI
NAKAMURA, MORITAKA
SUZUKI, TAKAAKI
MATSUTANI, TAKESHI
TAKASE, RIKIO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP62180546

APPL-DATE: July 20, 1987

INT-CL (IPC): H01L027/04; H01L027/10

US-CL-CURRENT: 438/400, 438/694

ABSTRACT:

PURPOSE: To form grooves into a form suitable for the formation of trench capacitors and to contrive the stabilization of characteristics of the capacitors by a method wherein the grooves of capacitors are formed by isotropic etching using insulating regions as masks.

CONSTITUTION: Insulating regions 2a for interelement isolation are formed in an Si semiconductor substrate 1. The parts, which surround capacitor forming regions 1a, of the regions 2a are formed in a trench structure. After a resist mask 6a, which exposes the regions 1a with a mask alignment margin in the regions 2a, is formed, grooves 11 are each formed in the regions 1a by isotropic etching. The inner side surfaces of the regions 2a are exposed on the side surfaces of the grooves 11, the bottom surfaces of the grooves are rounded and there exists no angularity and protrusion on the

inner surfaces of the grooves. The mask 6a is removed and after an Si dioxide insulating film 12 is formed on the bottom surfaces of the grooves 11, a poly Si film is deposited on the whole surface and an impurity having a conductivity type opposite to that of the substrate 1 is diffused in this film to form a polychristalline Si conducting film 13. The film 13 is used as the electrode of one of trench capacitors, which are formed thereon.

COPYRIGHT: (C)1989, JPO&Japio